

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-095726

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 09-258047

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 24.09.1997

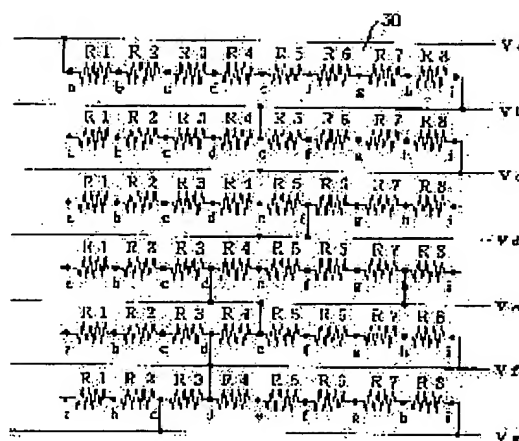
(72)Inventor : YU HIRONOBU
KOSHI HIROBUMI
GOTO MITSURU
OTE YUKIHIDE
WATANABE HIROSHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make more finely adjustable a multi-level voltage generated by a gradation voltage generation means, by making respective voltage divided resistance in a resistance voltage divider circuit synthetic resistance selected form among respective connection points, etc., of plural pieces of serially connected reference resistance.

SOLUTION: Serial resistance circuit 30 in which eight pieces of reference resistance R1-R8 are connected in series between gradation voltage wiring layers Va-Vg where respective gradation voltages are output, are constituted. Then, at least a piece of both ends a, i of the serial resistance circuits 30 and at least a piece of the connection points b-h of the respective reference resistance R1-R8 are connected to adjacent one side of the gradation voltage wiring layers Va-Vg, at least a piece of the both ends a, i of the serial resistance circuits 30 except the circuit 30 connected with the adjacent one side of the gradation voltage wiring layers Va-Vg and at least a piece of the connection points b-h of the respective reference resistance R1-R8 are connected to an adjacent other side of the gradation voltage wiring layers Va-Vg and the voltage divided resistance of a resistance voltage divider circuit are constituted. Thus, resistance values from a minimum R/8 to a maximum 8R are obtained as the voltage divided values of the voltage divided resistance.



LEGAL STATUS

[Date of request for examination] 19.03.2002

[Date of sending the examiner's decision of rejection] 09.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3578377

[Date of registration] 23.07.2004

[Number of appeal against examiner's decision of rejection] 2004-00518

[Date of requesting appeal against examiner's decision of rejection] 08.01.2004

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平11-95726

(43)公開日 平成11年(1999) 4月9日

(51)IntCl. ⁶	FI
G 09 G 3/36	G 09 G 3/36
G 02 F 1/133	G 02 F 1/133
	5 7 5
審査請求 未請求	請求項の数 4 O L (全 17 頁)

(21)出願番号	特開平9-258047
(22)出願日	平成9年(1997) 9月24日
(71)出願人	00005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地 00023083 日立デバイスエンジニアリング株式会社 千葉県茨城県市早野3801番地
(72)発明者	男 広直 千葉県茨城県市早野300番地 株式会社日立製作所電子デバイス事業部内
(72)発明者	興 博文 千葉県茨城県市早野3300番地 株式会社日立製作所電子デバイス事業部内
(74)代理人	弁護士 井理士 秋田 収 著 最終頁に続く

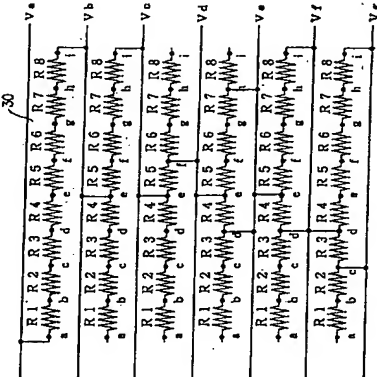
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 階調電圧生成手段で生成される多階調電圧をよりきめ細かく調整することが可能な液晶表示装置を提供する。

【解決手段】 階調電圧生成手段で生成された多階調の階調電圧を映像信号電圧として各画素に印加する液晶表示装置において、階調電圧生成手段は、複数の階調基準電圧間を分圧して多階調の階調電圧を生成する抵抗分圧回路を有し、当該抵抗分圧回路の各分圧抵抗は、直列接続された複数の基準抵抗の各接続点、および直列接続された複数の基準抵抗における両端の基準抵抗の互いに他の基準抵抗と接続されない端部の中から選択された少なくとも1個と、前記選択された少なくとも1個以外の端部の間の合成抵抗である。

図 10



【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素を有する液晶表示パネルと、階調電圧生成手段を有し当該階調電圧生成手段で生成された多階調の階調電圧の中の任意の階調電圧を映像信号電圧として前記各画素に印加する駆動手段とを具備する液晶表示装置において、前記階調電圧生成手段は、複数の階調基準電圧間を分圧して多階調の階調電圧を生成する抵抗分圧回路を有し、当該抵抗分圧回路の各分圧抵抗は、直列接続された複数の基準抵抗の各接続点、および直列接続された複数の基準抵抗における両端の基準抵抗の互いに他の基準抵抗と接続されない端部の中から選択された少なくとも1個と、前記選択された少なくとも1個以外の端部の間の合成抵抗であることとを特徴とする液晶表示装置。

【請求項2】 前記各分圧抵抗の抵抗値は、液晶層に印加する電圧と透過率との関係に合せて所定の重み付けがなされていることを特徴とする請求項1に記載された液晶表示装置。

【請求項3】 前記駆動手段は半導体集積回路で構成され、前記半導体集積回路は、前記多階調の階調電圧が出力される複数の階調電圧配線と、前記複数の階調電圧配線と同一方向に延在して設けられる前記複数の基準抵抗とを構成する複数の抵抗配線と、前記各階調電圧配線と前記各抵抗配線とを絶縁する層間絶縁膜と、前記各階調電圧配線と前記各抵抗配線とに設けられ、前記各階調電圧配線と前記各抵抗配線ととを接続するスルーホールとを有し、前記スルーホールの数および設置位置を適宜に選択し、前記分圧抵抗の抵抗値を所定の値に調整することを特徴とする請求項1または請求項2に記載された液晶表示装置。

【請求項4】 前記抵抗配線は、ジグザグパターン状に形成されていることを特徴とする請求項3に記載された液晶表示装置。

【発明の詳細な説明】

【0001】 発明の属する技術分野 本発明は、バーナールコンピュータ、ワークステーション等に用いられる液晶表示装置に係わり、特に、多階調表示が可能な液晶表示装置の映像信号線駆動回路（ドレインドライバ）に適用して有効な技術に関する。

【0002】

【従来の技術】 画素毎に駆動素子（例えば、薄膜トランジスタ）を有し、この駆動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型パソコン等の表示装置として広く使用されている。このアクティブマトリクス型液晶表示装置は、駆動素子を介して

画素電極に映像信号電圧（階調電圧）を印加するため、各画素間のクロストークがなく、単純マトリクス形液晶表示装置のようにクロストークを防止するための特殊な駆動方法を用いる必要がなく、多階調表示が可能である。

【0003】 このアクティブマトリクス型液晶表示装置の1つに、TFT (Thin Film Transistor) 方式の液晶表示パネル (TFT-LCD) と、液晶表示パネルの上側に配置されるゲートドライバおよびインテグレーション部とを備えるTFT方式の液晶表示モジュールが知られている。

【0004】 このTFT方式の液晶表示モジュールにおいては、多階調表示を可能にするため、ドレインドライバ内に多階調電圧生成回路を備えている。なお、このような技術は、例えば、特開平7-289546号に記載されている。

【0005】

【発明が解決しようとする課題】 前記ドレインドライバ内の多階調電圧生成回路は、電圧回路から供給される複数の階調基準電圧間を分圧する抵抗分圧回路で構成される。この場合に、図19に示すように、一般に液晶層に印加する電圧と透過率との関係はリニアではなく、透過率の高いところ、および低いところでは、液晶層に印加する電圧に対する透過率の変化は少なく、その中間となるところでは透過率の変化が大きい。

【0006】 そのため、前記ドレインドライバ内の多階調電圧生成回路を構成する抵抗分圧回路の各分圧抵抗の抵抗値は同一ではなく、液晶層に印加する電圧と透過率との関係に合せて所定の重み付けがなされている。

【0007】 また、近年、液晶表示装置においては、64階調表示から256階調表示へより多階調表示が進みつつある。

【0008】 そして、このような多階調の表示画像を液晶表示パネルにリニアに表示するためには、この多階調電圧生成回路を構成する抵抗分圧回路の各分圧抵抗の抵抗値を精細に調整することが必要とされている。しかしながら、従来の多階調電圧生成回路においては、抵抗分圧回路の各分圧抵抗の抵抗値を精細に調整することが可能となる技術を提供するに乏しい。

【0009】 本発明は、前記従来の技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、階調電圧生成手段で生成される多階調電圧をよりきめ細かく調整することが可能となる技術を提供することにある。

【0010】 本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

【0011】

【課題を解決するための手段】 本図において開示される、発明のうち、代表的なものの概要を簡単に説明すれば、

一一例の等価回路を示す図である。

【0021】なお、図2は回路図であるが、実際の幾何学的配置に対応して描かれており、同図に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。

【0022】各画面は、隣接する2本の信号線（ドレイ
ン信号線（D）またはゲート信号線（G））と、隣接す
る2本の信号線（ゲート信号線（G）またはドレイン信
号線（D））との交差領域内に配置される。

【0023】各素子は、トランジスタ(TFT1, TFT2)を有し、各素子の電極トランジスタ(TFT1, TFT2)のソース電極は、画素電極(ITO1)に接続され、画素電極(ITO1)とコンデンサ電極(ITO2)との間に液晶層(LC)が設けられるので、液晶層(LC)とトランジスタ(TFT1, TFT2)のソース電極とコンデンサ電極(ITO2)との間には、液晶容量(C_{LQ})が等価的に接続される。

【0024】また、薄膜トランジスタ(TFT1, TFT2)のソース電極と前段のゲート信号線(G)との間には、付加容量(CADD)が接続される。

【0025】図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

【0026】図2に示す例では、全段のゲート信号線(G)とソース電極との間に付加容量(CADD)が形成されているが、図3に示す例の等価回路では、共通信号線(COM)とソース電極との間に保持容量(CST)が形成されている点が異なっている。

【００２７】本発明は、どちらにも適用可能であるが、前者の方式では、全段のゲート信号線（Ｇ）パルスが付加容量（ＣＡＤＤ）を介して図素電極（ＩＴＯ）に飛び込むの方式では、後者の方式では、飛び込みがないため、より良好な表示が可能となる。なお、図２および図３において、ＡＲは表示領域である。

【0028】図2あるいは図3に示す液晶表示パネルにおいて、列方向に配置された各画素の領域トランジスタ(TFT1、TFT2)のドレイン電極は、それぞれドレイン電圧、ドレイン電流、各ドレイン信号線(D)に接続され、各ドレイン信号線(D)は、列方向に配置された画素の液晶に映像信号電圧(表示データ電圧)を印加するドレインドライバ130に接続される。

【0029】また、行方向に配置された各画素における電圧は、それぞれゲート信号線（G）に接続され、各ゲート信号線（G）は、1水平走査時間、薄膜トランジスタ（TFT1、TFT2）のゲートに差動駆動電圧（正のトランジスタ電圧あるいは負のバイアス電圧）を供給する。ここで、図1に示すトランジスタ140に接続される、 $640 \times 3 \times 480$ 画素から構成される。

【0030】図1に示すインタフェース部100は、表

示制御装置 110 と電源回路 120 とから構成される。

【0031】表示制御装置110は、1個の半導体集積回路(LSI)から構成され、コンピュータ本体側から送受信されてくるクロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号の各表示制御信号および表示用データ(R・G・B)を基に、ドレインドライバ130、おおよび、ゲートドライバ140を制御・駆動する。

【0032】表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。

【0033】その際、表示制御装置110は、ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック(D2)を信号線131を介して出力する。

【0034】この場合に、本体コンピュータ側からの表示データは、1 画素単位、即ち、赤 (R)、緑 (G)、青 (B) の各データを 1 つの組にして単位時間毎に伝送される。ここで、表示データは、各色 6 ビットの 18 ビットで構成されている。

【0035】また、表示制御装置１１０は、ディスプレイミリング番号の入力が終了するか、または、ディスプレイミリング番号が入力されてから所定の一定時間経過後に、１水平平の表示データが終了したものととして、ドレインドライバ１３０のラッチ回路に蓄えられていた、ドレインドライバ１３０のラッチ回路上に蓄えていた表示データを液晶表示パネル１０のドレイン番号線

【0036】また、表示制御装置110は、垂直同期信号110Bは、垂直同期信号110Bを介してドレード10に出力するための表示制御信号である出力タイミング信号110Cを、ドレード10に出力する。

【0037】さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル120の各画素（G）に正のバイアス電圧を印加するように、信号線141を介してゲートドライバ回路140へ1水平走査時間周期のシフトロックであるクロック（G1）を出力する。

【0038】これにより、液晶表示パネル10の各ゲート信号線(C)に接続された複数の薄膜トランジスタ(TFT1, TFT2)が、1水平走査時間の間導通する。以上の動作により、液晶表示パネル10に画像が表示される。

【0039】図1に示す電源回路120は、正電圧生成回路121、負電圧生成回路122、コモン電極（対向電極）電圧生成回路123、ゲート電極電圧生成回路124を備える。

24から構成される。

【0040】正電圧生成回路121、負電圧生成回路122は、それぞれ直列抵抗分圧回路で構成され、正極性の5値の階調基準電圧（ $V(0 \sim V4)$ ）を、負電圧生成回路122は負極性の5値の階調基準電圧（ $V(5 \sim V9)$ ）を出力する。この正極性の階調基準電圧（ $V(0 \sim V4)$ ）および負極性の階調基準電圧（ $V(5 \sim V9)$ ）は、各ドライバ回路130に供給される。また、各ドライバ回路130には、表示制御装置110からの交差タイミング信号（交流化タイミング信号:M）も、信号線135を介して供給される。

【0041】コモン電極電圧生成回路123はコモン電極（ITO2）に印加する駆動電圧を、ゲート電極電圧生成回路124は押膜トランジスタ（TFT1、TFT2）のゲートに印加する駆動電圧（正のバイアス電圧および負のバイアス電圧）を生成する。

【0042】一般に、液晶層(LC)は、長時間同じ電圧(直流電圧)が印加されていると、液晶層(LC)の傾きが固定化され、結果として残像現象を引き起こし、液晶層(LC)の寿命を縮めることになる。

【0043】これを防止するために、従来の液晶表示装置においては、液晶層（LC）に印加する液晶駆動電圧（ITO側／負電圧側）を一定時間毎に交流化し、即ち、共通電極（ITO）にある一定時間毎に交流化して、固定電圧毎（ITO側／負電圧側）の液晶駆動電圧を基準にして、一定時間毎に正電圧（ITO側／正電圧側）に印加される液晶駆動電圧を、一定時間毎に変化させるようにしている。

【0044】この被膜層（LC）に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の2通り（1TO2）と画素電極（1TO1）に印加される電圧を共通交互に反転させる方法であり、また、コモン対称法とは、コモン電極（1TO2）に印加される電圧を一定とし、画素電極（1TO1）に印加される電圧を、交互に正、負に反転させる方法である。

【0045】このコモン対称法は、画素電極（ITO）1）に印加される電圧の幅が、コモン反転法の場合に比べて2倍となり、低電圧のドライバが使用できないと言われている点があり、低消費電力と表示品質の面で優れている欠点があるが、低消費電力は電圧反転法が可能である。本実施の形態あるいはモリオン反転法が使用可能である。本実施の形態の液晶表示モジュールでは、その駆動方法として、前記ドット反転法を使用している。

【0046】図4は、図1に示すドレインドライバ130からドレイン信号線(D)に出力される液晶駆動電圧、即ち、画素電極(1T01)に印加される液晶駆動電圧と、共通電極(1T02)に印加される液晶駆動電圧との関係を示す図である。

【0047】なお、図4では、ドレインドライバ130からドレイン信号線(D)に出力される液晶駆動電圧は、液晶表示パネル10の表示面に黒を表示する場合の

7

液晶駆動電圧を示している。

【0048】図4に示すように、ドレインドライバ130から奇数番目のドレイン信号線(D)に出力される液晶駆動電圧(VDH)と、ドレインドライバ130から出力される偶数番目のドレイン信号線(D)に出力される液晶駆動電圧(VDL)とは、コモン電極(ITO2)に印加される液晶駆動電圧(VCOM)に対して逆極性、即ち、奇数番目のドレイン信号線(D)に出力される液晶駆動電圧(VDH)が正極性(または負極性)であれば、偶数番目のドレイン信号線(D)に出力される液晶駆動電圧(VDL)は負極性(または正極性)である。

【0049】そして、その極性は1ライン毎に反転され、さらに、各ライン毎の極性が、フレーム毎に反転される。

【0050】このドット反転法を使用することにより、隣り合うドレイン信号線(D)に印加される電圧が逆極性となるため、コモン電極(ITO2)やゲート電極(G)に流れる電流が隣同士で打ち消し合い、消費電力を低減することができる。

【0051】また、コモン電極(ITO2)に流れる電流が少なく電圧降下が大きくならないため、コモン電極(ITO2)の電圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

【0052】図5は、図1に示すドレインドライバ130の一例の概略構成を示すブロック図である。なお、ドレインドライバ130は、1個の半導体集積回路(LS1)から構成される。

【0053】同図において、正極性階調電圧生成回路151aは、正電圧生成回路121から入力される正極性の5値の階調基準電圧(V0~V4)に基づいて、正極性の64階調分の階調電圧を生成し、電圧バスライン58aを介して出力回路157に出力する。負極性階調電圧生成回路151bは、負電圧生成回路122から入力される負極性の5値の階調基準電圧(V5~V9)に基づいて、負極性の64階調分の階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力する。

【0054】また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示制御装置110から入力される表示データラッチ用クロック(D)に基づいて、入力レジスタ回路154のデータ取り込み用信号を生成し、入力レジスタ回路154に出力する。

【0055】入力レジスタ回路154は、シフトレジスタ回路153から出力されるデータ取り込み用信号に基づき、表示制御装置110から入力される表示データラッチ用クロック(D2)に同期して、各色6ビットの表示データを表示データラッチする。

【0056】ストレーレジスタ回路155は、表示制

御装置110から入力される出力タイミミング制御用クロック(D1)に応じて、入力レジスタ回路151内の表示データをラッチする。このストレーレジスタ回路155に取り込まれた表示データは、レベルシフト回路156を介して出力回路157に出力される。

【0057】出力回路157は、正極性の64階調分の階調電圧、あるいは負極性の64階調分の階調電圧の中から、表示データに対応した1つの階調電圧を選択し、各ドレイン信号線(D)に出力する。

【0058】図6は、出力回路157の構成を中心に、図5に示すドレインドライバ130の構成を説明するためのブロック図である。

【0059】同図において、153は図5に示す制御回路152内のシフトレジスタ回路、156は図5に示すレベルシフト回路であり、また、データラッチ部265は、図5に示す入力レジスタ回路154とストレーレジスタ回路155とを兼し、さらに、デコーダ部261、アンプ回路263、アンプ回路263の出力を切り替えるスイッチ部(2)264が、図5に示す出力回路157を構成する。

【0060】ここで、スイッチ部(1)262およびスイッチ部(2)264は、交流化信号(M)に基づいて制御される。また、Y1、Y2、Y3、Y4、Y5、Y6は、それぞれ第1番目、第2番目、第3番目、第4番目、第5番目、第6番目のドレイン信号線(D)を示している。

【0061】図6に示すドレインドライバ130において、スイッチ部(1)262により、データラッチ部265(より詳しくは、図5に示す入力レジスタ154)に出力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の階調するデータラッチ部265に出力する。

【0062】デコーダ部261は、階調電圧生成回路151aから電圧バスライン158aを介して出力される正極性の64階調分の階調電圧の中から、各データラッチ部265(より詳しくは、図5に示すストレーレジスタ155)から出力される表示データに対応する階調電圧を選択する高電圧用デコーダ回路278と、階調電圧生成回路151bから電圧バスライン158bを介して出力される負極性の64階調分の階調電圧の中から、各データラッチ部265から出力される表示データに対応する階調電圧を選択する低電圧用デコーダ回路279とから構成される。この高電圧用デコーダ回路278と低電圧用デコーダ回路279とは、階調するデータラッチ部265毎に設けられる。

【0063】アンプ回路263は、高電圧用アンプ回路271と低電圧用アンプ回路272とにより構成される。高電圧用アンプ回路271には高電圧用デコーダ回路278で選択された正極性の階調電圧が入力され、高電圧用アンプ回路271は正極性の液晶駆動電圧を出力

する。低電圧用アンプ回路272には低電圧用デコーダ回路279で選択された負極性の階調電圧が入力され、低電圧用アンプ回路272は負極性の液晶駆動電圧を出力する。

【0064】ドット反転法では、隣接する各色の映像信号電圧は互いに逆極性となり、また、アンプ回路263の高電圧用アンプ回路271および低電圧用アンプ回路272の並びは、高電圧用アンプ回路271→低電圧用アンプ回路272→高電圧用アンプ回路271→低電圧用アンプ回路272となるので、スイッチ部(1)262により、データラッチ部165に出力されるデータを取り込み用信号を切り替えて、各色毎の表示データを、各色毎の階調するデータラッチ部265に出力し、それらを用いて、高電圧用アンプ回路271あるいは低電圧用アンプ回路272から出力される出力電圧を、スイッチ部(2)264により切り替えて、各色毎の映像信号電圧が出力されるドレイン信号線(D)、例えば、第1番目のドレイン信号線Y1と第4番目のドレイン信号線Y4とに出力することにより、各ドレイン信号線(D)に正極性あるいは負極性の映像信号電圧を出力することが可能となる。

【0065】図19に示すように、液晶画面上に印加する電圧と透過率との関係はリニアではなく、透過率の高いところ、および低いところでは、液晶画面上に印加する電圧に対する透過率の変化は少なく、その中間となるところでは透過率の変化が大きき。

【0066】そのため、従来の階調電圧生成回路では、64階調の表示画像をリニアに表示するために、電源回路から供給される、中間付近(V2~V6)では差が小さく、それ以外の(V0~V2、V6~V8)間を分圧して大きい9値の階調基準電圧(V0~V8)間を分圧して64階調の階調電圧を生成し、64階調の表示画像をリニアに表示するようにしている。

【0067】図7は、従来の階調電圧生成回路の回路構成を示す回路図であり、同図(a)に示すR1~R8の抵抗は、各階調基準電圧間に接続される抵抗分圧回路の合成抵抗を示し、同図(b)は、各階調基準電圧間に接続される抵抗分圧回路を示している。なお、同図(b)では、階調化のため、V8の階調基準電圧とV7の階調基準電圧との間を8分割するR81~R88の抵抗分圧回路と、V1の階調基準電圧とV0の階調基準電圧との間を7分割するR11~R17の抵抗分圧回路とを明示しており、他の部分は省略してある。

【0068】この場合、各階調基準電圧間に接続される抵抗分圧回路の合成抵抗(R1~R8)の抵抗値は、階調電圧生成回路を構成する抵抗分圧回路に流れる電流が略一定となるように設定される。さらに、各階調基準電圧間に接続される抵抗分圧回路の各分圧抵抗の抵抗値は、液晶画面上に印加する電圧と透過率との関係に合わせて所定の重み付け、例えば、図8(a)に示すような重み

10

付けを行っている。

【0069】なお、図8(a)では、重み付けの値を()付きの数字で表し、また、重み付けの値は説明しやすい値を選択している。また、 $V_a \sim V_i$ は階調電圧を示している。

【0070】図8(a)ではRc、Rd、Re、Rfの抵抗値を1.0とした場合、Rb、Rgの抵抗値は1.2(Rc、Rd、Re、Rfの抵抗値の1.2倍)、Ra、Rhの抵抗値は2(Rc、Rd、Re、Rfの抵抗値の2倍)となるように重み付けを行っている。

【0071】この場合、図8(b)に示すように、従来の抵抗分圧回路では、同一の抵抗値の抵抗Rを並列に接続したものを使用し、即ち、 $R_c \sim R_f$ の抵抗として抵抗Rを6本並列に接続(全体の抵抗値はR/6)したものを使用し、また、Rb、Rgの抵抗として抵抗Rを5本並列に接続(全体の抵抗値はR/5)したものを使用し、さらに、Ra、Rhの抵抗として抵抗Rを3本並列に接続(全体の抵抗値はR/3)したものを使用する。

【0072】これにより、Rb、Rgの抵抗を、 $R_c \sim R_f$ の抵抗の1.2(=6/5)倍の抵抗値に、また、Ra、Rhの抵抗を、 $R_c \sim R_f$ の抵抗の2(=6/3)倍の抵抗値としている。

【0073】図9は、半導体チップ内での、従来の階調電圧生成回路のレイアウトを示す図である。従来の階調電圧生成回路は、アルミニウム等で階調配線19を形成し、その下に絶縁絶縁膜を介して、拡散抵抗膜等により形成され、前記階調配線19に直交する抵抗配線20を設け、この階調配線19と抵抗配線20とをスループホール21で接続して、前記した並列抵抗回路を構成する。

【0074】しかしながら、この従来の抵抗分圧回路では、基準となる抵抗値(図8(a)に示すRc~Rfの抵抗の抵抗値)がR/m、重み付けされる抵抗値(図8(a)に示すRa、Rb、Rg、Rhの抵抗の抵抗値)がR/nとなり、重み付けの値はm/nとなる。

【0075】そして、近年、液晶表示パネル10に、よりリニアに64階調の表示画像を表示できることが要望されているが、この場合には、この階調電圧生成回路を構成する抵抗分圧回路の各分圧抵抗を、液晶画面上に印加する電圧と透過率との関係に合わせて、よりきめ細かな重み付けを行う必要がある。

【0076】ところが、従来の階調電圧生成回路では、階調電圧生成回路を構成する抵抗分圧回路の各抵抗値を、よりきめ細かな重み付けを行う場合には、mの値が大きくなければならず、そのため、並列に接続される抵抗の数が多くなるという問題点があり、その重み付けが限定されていた。

【0077】図10は、本実施の形態の正極性階調電圧生成回路151a、あるいは負極性階調電圧生成回路151b

Ｂ)の周辺部を押さえ、枠スペース(WSPC)のフックをモールドケージ(ML)の穴に差し込むことにより、導光板(ＧＬＢ)をモールドケージ(ML)にしっかりと固定し、導光板(ＧＬＢ)が液晶表示パネルに衝突するのを防いでいる。さらに、拡散シート(SPS)、プリズムシート(PRS)および偏光反射板(POR)も、枠スペース(WSPC)により抑えつけられている。また、拡散シート(SPS)、プリズムシート(PRS)および偏光反射板(POR)が互いに重なって液晶表示モジュールに装着することができる。

[0102] GCLはホスペーサ (WSPC) とガラス基板 (SUB1) との間に敷かれるゴムクッションである。LPC3は冷極蛍光灯 (LPC) に駆動電圧を供給するランプケーブルであり、実装スペースを取らない。給するフラットケーブルがなり体スペース (C) とランプ反射シート (LS) との間に敷かれる。このランプケーブル (LPC3) は両面テープによりランプ反射シート (LS) が貼り付けられているので、冷極蛍光灯 (LPC) を交換するときにランプ反射シート (LS) とともに交換することができ、ランプケーブル (LPC3) をランプ反射シート (LS) から外す必要

がなく、冷陰極蛍光灯 (LP) の交換が容易である。

[0103] OLはオリングで、冷陰極蛍光灯 (LP) とランプ反射シート (LS) との間のクッションの働きをする。オリング (OL) は冷陰極蛍光灯 (LP) の光強度が低下しないように透明な合成樹脂材料で構成される。また、オリング (OL) は冷陰極蛍光灯 (LP) から高周波の電流が漏れだすのを防止するため、誘電率の低い絶縁材料で構成される。さらに、オリング (OL) は冷陰極蛍光灯 (LP) が導光板 (GLB) と密着するのを防止するクッションの働きもする。

【0104】IC1は液晶表示パネル10のドレイン信号線(D)¹に映像信号を供給するドレインドライバ130を構成する半導体チップであり、ガラス基板(IC130)上に実装されている。この半導体チップ(130)にはガラス基板(SUB1)の一方の辺1にのみ実装されているので、半導体チップ(IC1)が実装された辺2と対向する辺の距離短縮を小さくすることができ、また、冷陰極蛍光管(LP)およびランタン反射シート(LS)が実装された部分の平面に重なり配置されるので、冷陰極蛍光管(LP)およびランタン反射シート(LS)を、液晶表示モジュール内にコンパクトに収納することができ、

【0105】IC2は液晶表示パネル10のゲート信号線(C)に走査駆動電圧を供給するゲートドライバ140を構成する半導体チップであり、ガラス基板(SUB1)上に実装されている。この半導体チップ(IC2)もガラス基板(SUB1)の一方の辺にのみ実装されて

いるので、半導体チップ（IC2）が実装された辺と対向する辺の領域領域を小さくすることができ、

[0106] FPC1はゲート信号線側フレキシブルプリント基板で、ガラス基板（SUB1）の外周端部に異方性導電膜により接続され、半導体チップ（IC2）に電源および駆動信号を供給する。FPC2はドレイン側フレキシブルプリント基板で、ガラス基板（SUB1）の外周端部に異方性導電膜により接続され、半導体チップ（IC1）に電源および駆動信号を供給する。フレキシブルプリント基板（FPC1、FPC2）上には抵抗、コンデンサ等のチップ部品（E P）が実装されている。

【0107】本実施の形態では、液晶表示パネル10の額縁領域を縮小するために、フレキシブルプリント基板(ＦＰＣ２)はランダムシート(ＬＳ)を含むように折り曲げられ、フレキシブルプリント基板(ＦＰＣ２)の一面(ｂ面)はバックライトユニットの裏のモールドケース(ＭＬ)と第２のシールドケースとの間に挟まれ、モールドケース(ＭＬ)と第２のシールドケースとで固定される。そのため、モールドケース(ＭＬ)には、フレキシブルプリント基板(ＦＰＣ２)上に実装されるチップ部品(ＥＰ)のスペースを確保するための切り抜きが設けられている。

【0108】フレキシブルプリント基板（FPC2）は、折り曲げを容易とするための薄い厚さの部分（a）と、多層配線のための厚さの厚い部分（b部）とで構成される。また、本実施の形態では、下側シールドケースを第1の下側シールドケース（LF1）と第2の下側シールドケース（LF2）とで構成し、当該2つの下側シールドケース（LF1、LF2）で液晶表示モジュールの裏面を覆うようにした上で、第2の下側シールドケース（LF2）を取り外せるランプ反射シート（LS）を露出させることができるので、冷陰極蛍光灯（LP）の交換が容易である。

【0109】PCBは表示制御装置110と電源回路120が搭載されるインタグランドエース基板で、このインタグランドエース基板(PCB)も多層のプリント基板で構成される。本実施の形態では、液晶表示パネル10の領域領域を小さくするために、インタグランドエース基板(PCB)は、フレキシブルプリント基板(FPC1)の下に重ねて配置された両面テープ(BAT)でガラス基板(SUB1)に接着されている。

【0110】 インタフェース基板 (PCB) にはコネクタ (CTR3) とコネクタ (CTR4) が設けられ、コネクタ (CTR4) はフレキシブルプリント基板 (FPC2) のコネクタ (CT4) と電気的に接続される。同様に、コネクタ (CTR3) はフレキシブルプリント基板 (FPC1) のコネクタ (CT3) と電気的に接続される。

【0111】図17は、液晶表示パネル10の周辺にフレキシブルプリント配線基板(FPC1)と折り曲げ

前のフレキシブルプリント配線基板 (FPC2) を突
 装した状態を示す図である。また、図18は、図17に
 おいて、液晶表示パネル10とフレキシブルプリント配
 線基板 (FPC1、FPC2) とが接続されている部分
 を拡大して示す図である。

【01:12】なお、図17、図18において、TCONは表示制御装置110を構成する半導体チップであり、また、DTMはドレイン端子、GTMはゲート端子である。

【0113】図15、図16において、SUBは補強板であり、下側シールドケース(LF1)とコネクタ(CT4)との間に配置され、コネクタ(CT4)がコネクタ(CTR4)から外れるのを防止している。SPC4とはシールドケース(SHD)と上面光板(POL1)とはシールドケース(SHD)と上面光板(POL1)との間に設けられるスベアであり、腐食布からなり接着剤によりシールドケース(SHD)に貼り付けられている。

【0114】本実施の形態では、上層光板 (POL1) と視野拡大フィルム (VINC1) とをガラス基板 (SUB2) から引出し、上層光板 (POL1) と視野拡大フィルム (VINC1) とをシールドケース (SHD) で押さえている。この構成により、本実施の形態では、視野拡大を小さくしても充分な強度を確保している。

【0115】DSPCはドレインスペースであり、シールドケース（SHD）とガラス基板（SUB1）との間に設けられ、シールドケース（SHD）とガラス基板（SUB1）とが衝突するのを防止している。また、ドレインスペース（DSPC）は半導体チップ（IC1）を覆うように設けられるので、半導体チップ（IC1）の部分には切り欠き（NOT）が設けられる。これにより、シールドケース（SHD）やドレインスペース（DSPC）が半導体チップ（IC1）に衝突することがなくなる。また、ドレインスペース（DSPC）は、ガラス基板（SUB1）の外周部絶縁層上にあるフレキシブルプリント基板（FPC2）も押さえているので、ガラス基板（SUB1）からフレキシブルプリント基板（FPC2）が剝離するのを防止している。FUSは液晶表示パネルの液晶封入口に設けられている封止材である。

【10116】以上、本発明者によつてなされた発明を、
前記発明の実施の形態に基づき具体的に説明したが、本
発明は、前記発明の実施の形態に限定されるものではな
く、その要旨を逸脱しない範囲において種々変更可能で
あることは勿論である。

【0117】
【発明の効果】本願において開示される発明のうち代表
的なものによって得られる効果を簡単に説明すれば、下
記のとおりである。

【0118】(1) 本発明によれば、各画面に印加される多階調の階調電圧を生成する階調電圧生成回路において、分圧抵抗の抵抗値の最小値と最大値との幅を広く設

定することができるので、液晶層の透過率に合わせて、分圧抵抗の抵抗値をよりきめ細かく設定することが可能となる。

【0119】(2) 本発明によれば、液晶表示パネルに
表示される多階調の表示画像をよりリアリティーに
とができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態であるTFIT方式の液晶表示モジュールの概略構成を示すブロック図である。

【図2】図1に示す液晶表示パネルの一例の等価回路を示す図である。

【図3】図1に示す液晶表示パネルの他の例の等価回路を示す図である。

【図4】図1に示すドレインドライバからドレイン信号線(D)に出方される液晶駆動電圧、即ち、画素電圧(1T01)に印加される液晶駆動電圧と、共通電圧(1T02)に印加される液晶駆動電圧との関係を示す図である。

【図5】図1に示すドレインドライバの一例の戦略構成を示すブロック図である。

【図6】出力回路157の構成を中心に、図5に示すド
レインドライバ130の構成を説明するためのブロック

図である。

〔図 7〕従来の階調電圧生成回路の回路構成を示す回路図である。

【図8】従来の階調電圧生成回路を構成する抵抗分圧回路の重み付けを説明するための図である。

【図9】半導体チップ内での、従来の階調電圧生成回路のレイアウトを示す図である。

【図10】本実施の形態の正極性階調電圧生成回路、あるいは負極性階調電圧生成回路を構成する分圧抵抗回路の回路構成を示す回路図である。

【図11】半導体チップ内での、本実施の形態の階層電圧生成回路のレイアウトを示す図である。

【図12】本実施の形態の正極性階調電圧生成回路の回路構成を示す回路図である。

【図13】本実施の形態の液晶表示モジュールの組立完成図で、液晶表示パネルの表示面側から見た正面図、前

側面図、右側面図、左側面図および後側面図である。

【図14】本実施の形態の液晶表示モジュールの組立完

成図で、液晶表示パネルの裏面側から見た図である。
【図15】図13に示すI—I線で切断した断面図、および、II-II線で切断した断面図である。

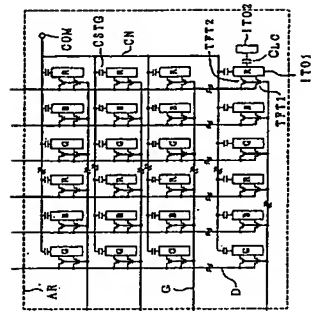
【図16】図13に示すⅠⅠ-ⅠⅠ線で切断した断面図、および、Ⅳ-Ⅳ線で切断した断面図である。

【図 17】 本実施の形態の液晶表示モジュールにおいて、液晶表示パネルの周辺にフレキシブルプリント配線

基板 (FPC1) と、折り曲げる前のフレキシブルプリント配線基板 (FPC2) を実装した状態を示す図である。

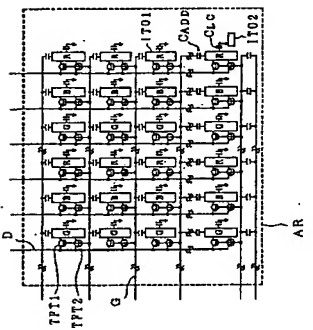
【図3】

図 3



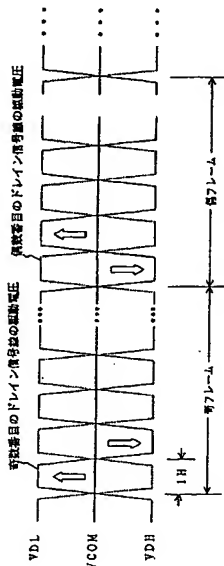
【図2】

図 2



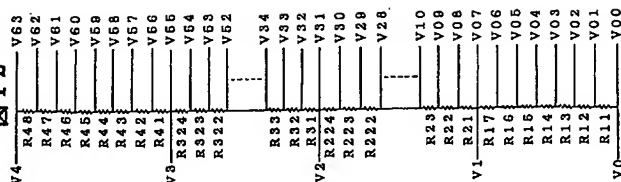
【図4】

図 4



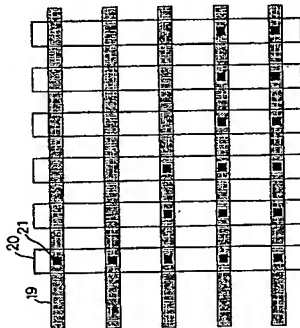
【図12】

図 12



【図9】

図 9



【図18】図17において、液晶表示パネルとフレキシブルプリント配線基板（FPC1、FPC2）とが接続されている部分を拡大して示す図である。

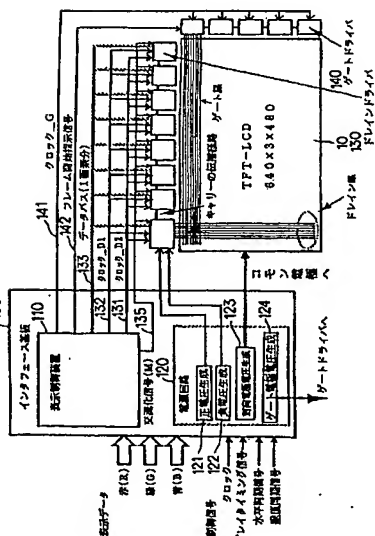
【図19】液晶層に印加する電圧と透過率との関係を示すグラフである。

【符号の説明】

10…液晶表示パネル（TFT-LCD）、19…駆動回路、20…低圧駆動回路、21…スルーホール、22…周回絶縁膜、30…直列抵抗回路、100…インタフェース部、110…表示制御装置、120…電源回路、121、122…電圧生成回路、123…共通電圧生成回路、124…ゲート電圧生成回路、130…ドレインドライバ、131、132、135、141、142…信号線、133…表示データのバスライン、140…ゲートドライバ、151a、151b…階調電圧生成回路、152…制御回路、153…シフトレジスタ回路、154…入力レジスタ回路、155…ストレーレジスタ回路、156…レベルシフト回路、157…出力回路、158a、158b…電圧バスライン、261…デコーダ部、262、264…スイッチ部、2763…アンプ回路、265…データラッチ部、278、279…デコーダ回路、271…高電圧用アンプ回路。

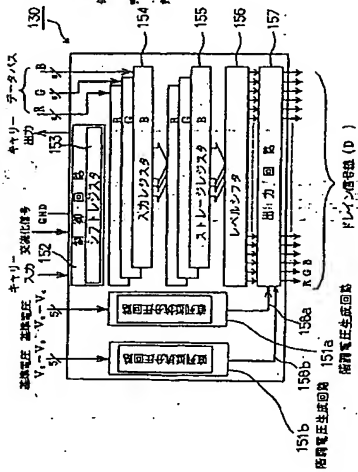
【図1】

図 1



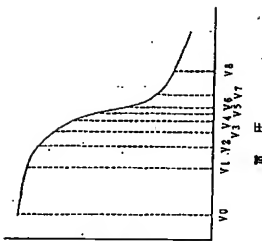
【図5】

図5



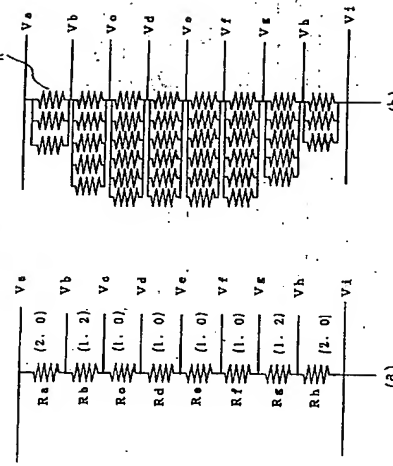
【図19】

図19

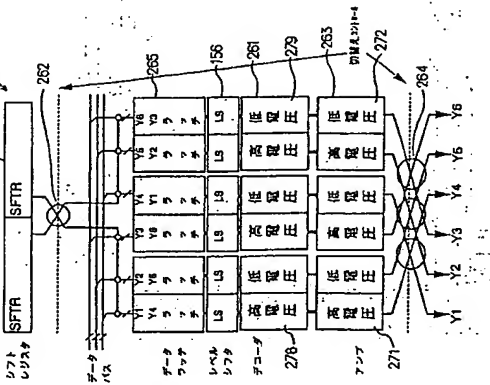


【図8】

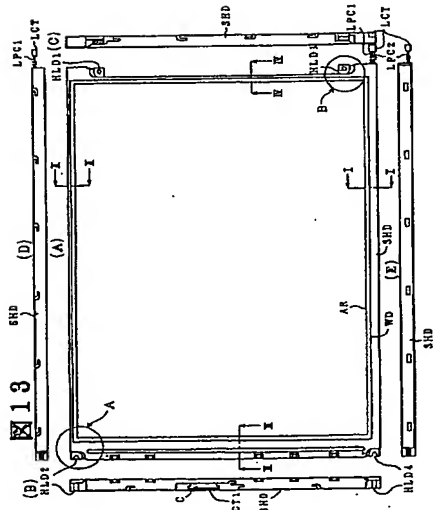
図8



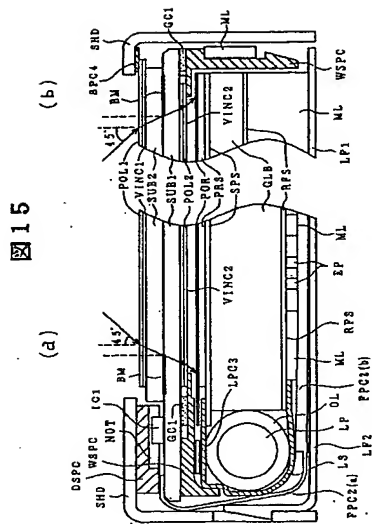
【図6】



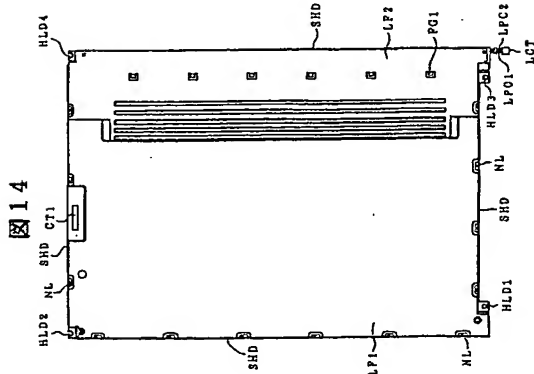
【図13】



【図15】

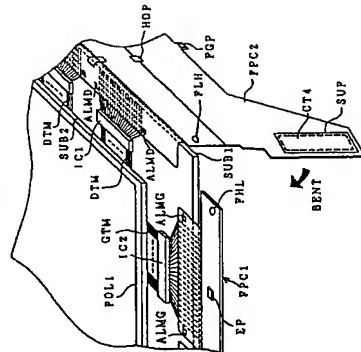


【図14】



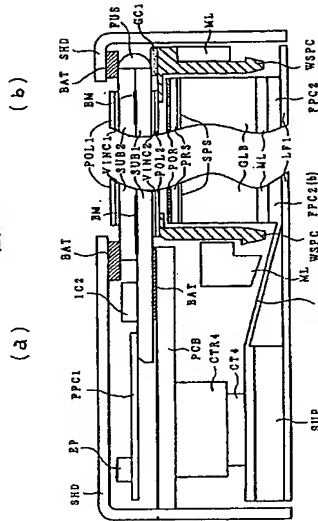
【図18】

【図18】

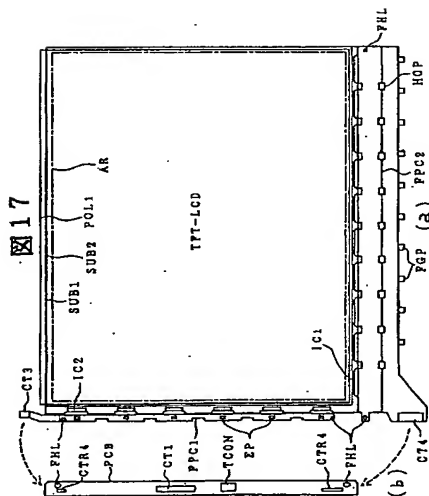


【図16】

【図16】



【図17】



フロントページの概き

(72)発明者 後藤 光

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 尾手 幸秀

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 渡辺 浩

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

【公報種別】 特許法第17条の2の規定による補正の掲載
【部門区分】 第6部門第2区分
【発行日】 平成14年6月26日 (2002. 6. 26)

【公開番号】 特開平11-95726
【公開日】 平成11年4月9日 (1999. 4. 9)
【年通号数】 公開特許公報11-958
【出願番号】 特願平9-258047
【国際特許分類第7版】

G09G 3/36
G02F 1/133 575
[F1]
G09G 3/36
G02F 1/133 575

【手続補正番】
【提出日】 平成14年3月19日 (2002. 3. 19)

【手続補正1】
【補正対象書類名】 明細書
【補正対象項目名】 特許請求の範囲
【補正方法】 変更
【補正内容】
【特許請求の範囲】
【請求項1】 マトリクス状に配置された複数の画素

と、
階調電圧生成手段を有し、当該階調電圧生成手段で生成された多階調の階調電圧の中の任意の階調電圧を映像信号電圧として前記各画素に印加する駆動手段とを具備する液晶表示装置において、

前記階調電圧生成手段は、複数の階調基準電圧間を分圧して多階調の階調電圧を生成する抵抗分圧回路を有し、前記抵抗分圧回路は、直列接続された複数の基準抵抗からなる複数の基準抵抗列を有し、
前記抵抗分圧回路の分圧抵抗は、第1列の基準抵抗列の階調基準抵抗の各接続点の1つと、前記第1列の基準抵抗列と隣り合う第2列の基準抵抗列の前記基準抵抗の各接続点の1つとを接続して形成された合成抵抗であることを特徴とする液晶表示装置。

【請求項2】 マトリクス状に配置された複数の画素を有する液晶表示パネルと、階調電圧生成手段を有し、当該階調電圧生成手段で生成された多階調の階調電圧の中の任意の階調電圧を映像信号電圧として前記各画素に印加する駆動手段とを具備する液晶表示装置において、
前記階調電圧生成手段は、複数の階調基準電圧間を分圧して多階調の階調電圧を生成する抵抗分圧回路を有し、
前記抵抗分圧回路の各分圧抵抗は、直列接続された複数の基準抵抗の各接続点、および直列接続された複数の基準抵抗における両端の基準抵抗の互いに他の基準抵抗と接続されない両端の中から選択された少なくとも1

個と、
前記選択された少なくとも1個以外の前記直列接続された複数の基準抵抗の各接続点、および直列接続された複数の基準抵抗における両端の互いに他の基準抵抗と接続されない両端の中から選択された少なくとも1個との間の合成抵抗であり、
前記各分圧抵抗の抵抗値は、液晶画素に印加する電圧と過電圧との関係に合わせて所定の重み付けがなされていることを特徴とする液晶表示装置。

【請求項3】 前記駆動手段は半導体集積回路で構成され、
前記半導体集積回路は、前記多階調の階調電圧が出力される複数の階調電圧配線と、前記複数の階調電圧配線と同一方向に延びて設けられる前記複数の基準抵抗を構成する複数の抵抗配線と、前記各階調電圧配線と前記各抵抗配線とを絶縁する層間絶縁膜と、前記層間絶縁膜に設けられ、前記各階調電圧配線と前記各抵抗配線とを接続するスルーホールとを有し、
前記スルーホールの数および設置位置を適宜に選択し、
前記分圧抵抗の抵抗値を所定の値に調整することを特徴とする請求項1または請求項2に記載された液晶表示装置。

【請求項4】 前記抵抗配線は、ジグザグパターン状に形成されていることを特徴とする請求項3に記載された液晶表示装置。
【手続補正2】
【補正対象書類名】 明細書
【補正対象項目名】 0012
【補正方法】 変更
【補正内容】
【0012】 マトリクス状に配置された複数の画素と、階調電圧生成手段を有し、当該階調電圧生成手段で生成された多階調の階調電圧の中の任意の階調電圧を映像信号電圧として前記各画素に印加する駆動手段とを具備する液晶表示装置において、
前記階調電圧生成手段は、複数の階調基準電圧間を分圧して多階調の階調電圧を生成する抵抗分圧回路を有し、
前記抵抗分圧回路の各分圧抵抗は、直列接続された複数の基準抵抗の各接続点、および直列接続された複数の基準抵抗における両端の基準抵抗の互いに他の基準抵抗と接続されない両端の中から選択された少なくとも1

液晶表示装置において、前記階調電圧生成手段は、複数の階調基準電圧を分圧して多階調の階調電圧を生成する低分圧回路を有し、前記低分圧回路は、直列接続された整数個の基準抵抗からなる複数の基準抵抗列を有し、前記低分圧回路の分圧抵抗は、第1列の基準抵抗

列の前記基準抵抗の各接続点の1つと、前記第1列の基準抵抗列と隣り合う第2列の基準抵抗列の前記基準抵抗の各接続点の1つとを接続して形成された合成抵抗であることを特徴とする。